

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

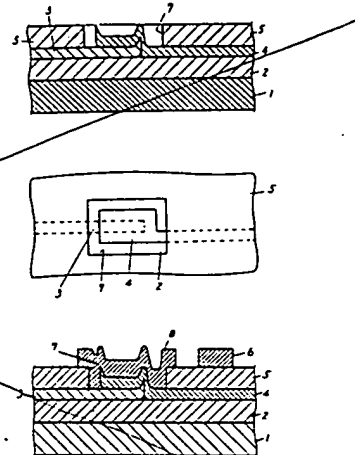
21.75 (10)

(5) MANUFACTURE OF THIN-FILM TRANSISTOR INTEGRATED CIRCUIT

(11) 1-307245 (A) (43) 12.12.1989 (19) JP  
 (21) Appl. No. 63-137845 (22) 3.6.1988  
 (71) MATSUSHITA GRAPHIC COMMUN SYST INC  
 (72) MASARO TAKAHASHI(2)  
 (51) Int. Cl. H01L21/90, H01L29/78

**PURPOSE:** To prevent disconnection at the place where interconnections are applied without increasing a number of processes, by forming a hole in an interlayer insulating film, the hole extending to the connecting place in the lower layer, and then by forming an upper interconnection metallic film by vapor deposition for reinforcing the connecting place of the lower interconnection.

**CONSTITUTION:** Following the formation of a polyimide film 5 as an interlayer insulating film, a hole is formed in the polyimide film 5, at the connecting place where an interconnection pattern 4 is connected with a load resistance pattern 3. Then an interconnection metallic film is vapor deposited on the polyimide film 5. This metallic film is also deposited on the connecting place where the lower layer interconnection pattern 4 is connected with the upper layer as well as on the place where it is connected with the load resistance pattern 3, through the interlayer connecting hole 7 formed in the polyimide film 5. The metallic film is then removed selectively. Finally, an uppermost interconnection pattern 6 and a connection reinforcing metallic film pattern 8 are formed simultaneously. In this manner, it is possible to prevent disconnection due to burrs of the load resistance pattern 3.

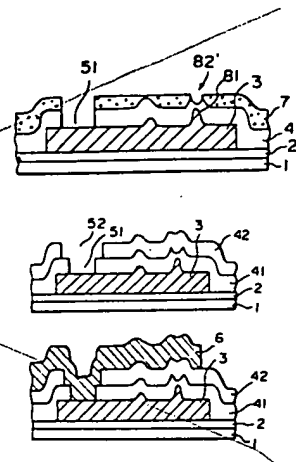


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 1-307246 (A) (43) 12.12.1989 (19) JP  
 (21) Appl. No. 63-138864 (22) 6.6.1988  
 (71) CANON INC (72) YASUSHI KAWAKADO  
 (51) Int. Cl. H01L21/90

**PURPOSE:** To prevent deterioration in dielectric strength of interlayer insulating films or short-circuit between first and second Al interconnections, by performing a process of forming interlayer insulating films for multilayer interconnections and a step of opening contact hole, respectively in two separate steps.

**CONSTITUTION:** Following the formation of a predetermined first Al interconnection layer 3, a first interlayer insulating film 41 is formed. A predetermined part of the interlayer insulating film 41 on which resist patterns have been formed is etched by dry etching to define a first contact hole 51. A second interlayer insulating film 42 is then deposited, and a second contact hole 52 is made at the position corresponding to the first contact hole 51 by the same way but in a larger size than that of the first contact hole 51. Thereby, a contact hole for connecting the first Al interconnection 3 with a second Al interconnection 6 is defined. Finally, a second Al interconnection film is formed by the sputtering process, resist patterns are formed thereon, and the second Al interconnection 6 is formed at a predetermined position. In this manner, the first and second Al interconnection layers 3 and 6 can be prevented effectively from short-circuit or deterioration in dielectric strength.

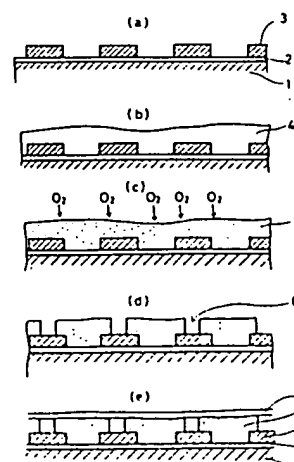


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 1-307247 (A) (43) 12.12.1989 (19) JP  
 (21) Appl. No. 63-138106 (22) 3.6.1988  
 (71) FUJI XEROX CO LTD (72) HITOSHI KOJIMA(1)  
 (51) Int. Cl. H01L21/90, H01L21/312, H01L21/316, H01L21/95

**PURPOSE:** To enable an interlayer insulating film to be formed thick enough to protect resist against damages while keeping the flatness of the surface of the interlayer insulating film, by applying, baking and then plasma oxidizing a siloxane S.O.G. film used as the interlayer insulating film to be provided between interconnection layers.

**CONSTITUTION:** First aluminum interconnections 3 are formed on a substrate 1 and an insulating film 2. Then, ethanol solution of monomethyl silanol represented by  $\text{CH}_3\text{Si}(\text{OH})_3$ , as siloxane S.O.G. (spin on glass) is applied on the spinning substrate 1 having the first aluminum interconnections 3 to form an S.O.G. film 4 and then it is baked. The substrate 1 having the S.O.G. film 4 is introduced into an oxygen plasma treating apparatus, where it is plasma oxidized. Then, resist is deposited thereon and etched. The residual resist is removed and a via hole 6 is made on each of the first aluminum interconnection 3. Subsequently, second aluminum interconnections 7 are deposited on the interlayer insulating film 5. In this manner, the interlayer insulating film is allowed to have a large thickness and the flattened surface, whereby the resist is effectively protected against damages in the etching process.



10

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-307247

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)12月12日

H 01 L 21/90  
21/312  
21/316  
21/95

P-6824-5F  
C-6824-5F  
B-6824-5F  
6824-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-138106

⑰ 出 願 昭63(1988)6月3日

⑱ 発 明 者 小 島 均 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

⑲ 発 明 者 岩 森 俊 道 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号  
社

㉑ 代 理 人 弁理士 内田 亘彦 外4名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 多層配線構造を有する半導体装置における配線間の層間絶縁膜を、シロキサン系S.O.G.膜を塗布して焼成し、次いでプラズマ酸化することにより形成することを特徴とする半導体装置の製造方法。

(2) 上記層間絶縁膜上にレジストを積層し、パターニングし、多層配線間を結線するためのVIAホールを層間絶縁膜に開孔するに際して、四弗化炭素と水素ガスの雰囲気下でエッチングすることとを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本願発明は、多層配線構造を有する半導体装置における層間絶縁膜の形成方法に関する。

(従来の技術)

近年、半導体装置、特にLSIにおいては、その高集積化に伴ってアルミニウム多層配線構造が使用されてきた。これは、第1のアルミニウム配線上にプラズマCVDシリコン酸化膜等の層間絶縁膜を設け、その上に第2のアルミニウム配線を積層し、多層配線構造とするものである。しかしこのプラズマCVD法による酸化膜は極めて薄いために、第1の配線部分と、非配線部分との間に断差を生じ、第2層目の配線の際に断差部で断線したり、配線層が均一に積層されないために不都合が生じている。そのため多層配線における層間絶縁膜の平坦化技術は、多層配線構造を有する半導体装置において重要な要素となり、バイアスバック法、エッチバック法、リフトオフ法、S.O.G. (Spin on glass) 塗布法等が開発されている。特にS.O.G.法は有機溶媒、例えばエタノールに溶解させた珪素化合物を基板上に滴下し、スピニング後、焼成するものであり、プロセスが容易であり、量産性に優れているために多用されている。

第3図、第4図に示すものは、従来のS.O.G.膜を使用した半導体装置の一部断面図であり、図中1は基板、2は絶縁膜、3はアルミニウム配線、4はシロキサン系S.O.G.膜、8は気相成長酸化膜、又はプラズマCVD法による酸化膜、例えばSiO<sub>2</sub>膜、9はシラノール系S.O.G.膜、10は気相成長酸化膜を示す。

まず、第3図に示すものは基板1、絶縁膜2上に形成されたアルミニウム配線3上の層間絶縁膜を、気相成長酸化膜、又はプラズマCVD法による酸化膜8を第1層とし、シラノール系(Si(OH)<sub>3</sub>) S.O.G.膜9を第二層目、気相成長酸化膜10を第3層目として形成するものであり、また第4図に示すものは、第3図に示すものにおける窒素化合物としてシロキサン系S.O.G.膜を使用するものである。

(発明が解決しようとする課題)

しかしながら、層間膜平坦化材としてシラノール系S.O.G.膜を使用する場合、配線間の凹所を充分に平坦化できず、しかもその膜厚を0.5μm

ることにより形成することを特徴とするものであり、この層間絶縁膜上にレジストを積層し、パターニングし、多層配線間を絶縁するためのVIAホールを層間絶縁膜に開孔するに際して、四弗化炭素と水素ガスの雰囲気下でエッチングすることを特徴とするものである。

上記シロキサン系S.O.G.膜を形成する化合物としては、一般式(R)<sub>3</sub>Si(OH)<sub>2</sub>。(但し、Rは有機性基)で示されるモノオール、ジオール、トリオール体いづれでもよく、有機性基としてはアルキル基、アリール基であり、アルキル基としてはメチル基、エチル基等の低級アルキル基、またアリール基としてはフェニル基が好ましい。またシリコン樹脂も好適に使用することができる。

(作用)

多層配線構造を有する半導体装置における配線間の層間絶縁膜は、厚く塗布される必要があり、しかも厚膜形成時、耐クラック性を保持していることが必要とされる。上述のごとく平坦化剤としてシロキサン系化合物を使用すると、厚膜化は可

以上とすると焼成によりクラックが発生し、厚膜化が不可能であるという問題がある。またシロキサン系S.O.G.膜を使用すると厚膜化でき、しかもクラックの発生はなく、平坦化できるが、VIAホールを開孔する際のエッチング条件として、有機性残基を有する層間絶縁膜は、四弗化炭素と酸素ガスの雰囲気下で行われる必要があり、そのためレジストをも同時にエッチングしてしまい、マスクされているS.O.G.膜部分までもエッチングしてしまうという問題を有している。

そのため本発明は、膜厚を厚くできてその表面を平坦化でき、しかもクラックを生じることのない層間絶縁膜を形成でき、しかもVIAホールのエッチングの際にレジストに対するダメージを与えないエッチング方法を採用しうる半導体装置の製造法を提供することを課題とするものである。

(問題点を解決するための手段)

本発明は、多層配線構造を有する半導体装置における配線間の層間絶縁膜を、シロキサン系S.O.G.膜を塗布して焼成し、次いでプラズマ酸化す

るものであるが、塗布、焼成後、その材質中にアルキル基等の有機性基が残存する。そのためこの有機性基を残したまま、VIAホールをエッチングにより開口するためには、四弗化炭素と水素ガスの雰囲気下ではエッチングできず、四弗化炭素と酸素ガスの雰囲気下で行わなければならない。この雰囲気下ではレジストまでエッチングされるという問題が生じる。しかしながら本発明は、層間平坦化剤としてシロキサン系S.O.G.膜を使用し、塗布焼成酸化膜を形成しても、更に酸素プラズマ処理をすることにより、その材質中に残存する有機化合物におけるC-Si結合を、Si-O-Si結合の新結合に変化させることが可能であること、およびプラズマ処理後の層間絶縁膜にクラックの発生は認められず、層間絶縁膜として極めて良好なものとなしうることを見いだしたもので、これにより層間絶縁膜を厚膜化でき、しかもVIAホール開口時、レジストへのダメージを与えない四弗化炭素と水素ガスの雰囲気下でのエッチングを可能とせしめることを見いだしたものである。

以下、図面に基づき本発明を説明する。

#### (実施例)

第1図は本発明の半導体装置の製造方法を、それぞれ半導体装置の一部断面図により説明するための図、第2図(a)は本発明の層間絶縁膜におけるプラズマ酸化前の赤外吸収スペクトル、同図(b)はプラズマ酸化後の赤外吸収スペクトルを示す。図中1は基板、2は絶縁膜、3は第1層アルミニウム配線、4はシロキサン系S.O.G.膜、5はプラズマ酸化処理後のシロキサン系S.O.G.膜、6はVIAホール、7は第2層アルミニウム配線を示す。

第1図(a)に示すように、まず通常の方法で形成された半導体装置の基板1と絶縁膜2上に膜厚1.0μmの第1アルミニウム配線3を形成する。

次にシロキサン系S.O.G.として、



で示されるモノメチルシラノールのエタノール溶液をスピンドクターにより4000rpm、30sec、第1アルミニウム配線3を有する基板1

しているが、プラズマ酸化処理後、上記同様赤外吸収スペクトルを取ったところ、同図(b)に示すようにSi-CH<sub>3</sub>に基づく赤外吸収スペクトルは観察されなかった。

#### (発明の効果)

多層配線構造を有する半導体装置における配線間の層間絶縁膜としてシロキサン系S.O.G.膜を使用し、塗布焼成後、プラズマ酸化処理することにより、層間絶縁膜を厚膜化することができると共に、VIAホール開孔時において四弗化炭素と水素ガスによるエッチングが可能となり、レジストに対するダメージを防止することでも、層間絶縁膜表面の平坦性を維持できるので、配線間の断差による断線がなく、配線間の均一な多層配線構造を有する半導体装置を製造することができるものである。

#### 4. 図面の簡単な説明

第1図は本発明の半導体装置の製造方法を、それぞれ半導体装置の一部断面図により説明するための図、第2図(a)は本発明の層間絶縁膜

上に回転塗布し、同図(b)に示すようにS.O.G.膜4を形成する。次いで120℃の温度で1分間、250℃で60分間、400℃で15分間焼成する。このモノメチルシラノールは基板1上に配線されたアルミニウム配線間の凹所に入り込み、表面が平坦化されている。

更に同図(c)に示すように、S.O.G.膜4を有する基板1を酸素プラズマ処理装置に導入し、RF400W、O<sub>2</sub>400SCCM、20分間プラズマ酸化する。プラズマ酸化後、レジストを積層し、四弗化炭素と水素ガスの雰囲気下でエッチングし、更に残存レジストを剥離(図示せず)して、同図(d)に示すようにVIAホール6を第1のアルミニウム配線上に開孔し、次いで同図(e)に示すように第1のアルミニウム配線と交差するように第2のアルミニウム配線7を層間絶縁膜5上に積層する。

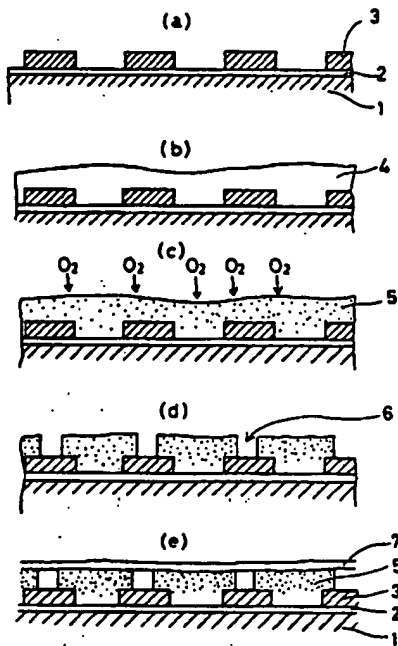
積層されたモノメチルシラノールは、プラズマ酸化処理前は第2図(a)に示すように1250cm<sup>-1</sup>にSi-CH<sub>3</sub>の赤外吸収スペクトルを有

におけるプラズマ酸化前の赤外吸収スペクトル、同図(b)はプラズマ酸化後の赤外吸収スペクトル、第3図、第4図に示すものは、従来のS.O.G.膜を使用した半導体装置の一部断面図を示す。

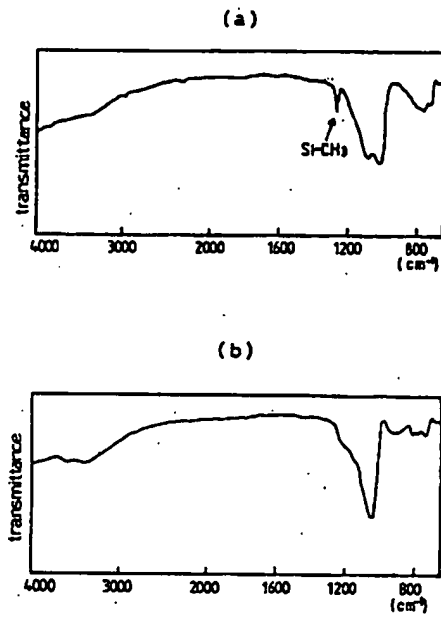
図中1は基板、2は絶縁膜、3は第1層アルミニウム配線、4はシロキサン系S.O.G.膜、5はプラズマ酸化処理後のシロキサン系S.O.G.膜、6はVIAホール、7は第2層アルミニウム配線、8は気相成長酸化膜、又はプラズマCVD法による酸化膜、例えばSiO<sub>2</sub>膜、9はシラノール系S.O.G.膜、10は気相成長酸化膜を示す。

出 願 人 富士ゼロックス株式会社  
代理人 弁理士 内田 夏彦(他4名)

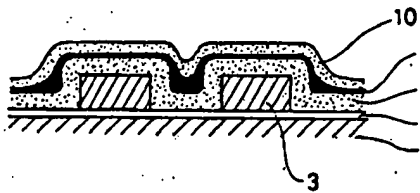
第 1 図



第 2 図



第 3 図



第 4 図

